

На правах рукописи



Минайлов Виктор Викторович

Метод, алгоритмы и аппаратные средства планирования
топологии программируемых логических интегральных схем

Специальность 05.13.05 – Элементы и устройства
вычислительной техники и систем управления

АВТОРЕФЕРАТ
диссертации на соискание ученой степени
кандидата технических наук

Курск – 2012

Работа выполнена в ФГБОУ ВПО «Юго-Западный государственный университет»
на кафедре вычислительной техники

Научный руководитель:

доктор технических наук, профессор,
заслуженный деятель науки Россий-
ской Федерации
Титов Виталий Семенович

Официальные оппоненты:

Сизов Александр Семенович
доктор технических наук, профессор,
заслуженный деятель науки Россий-
ской Федерации,
Научно-исследовательский центр (г.
Курск) ФГУП «18 ЦНИИ» МО РФ,
главный научный сотрудник

Малышев Александр Васильевич
кандидат технических наук, доцент,
Юго-западный государственный уни-
верситет,
доцент кафедры программного обеспе-
чения вычислительной техники
Тульский государственный универси-
тет

Ведущая организация:

Защита диссертации состоится «24» декабря 2012 г. в 11:00 часов на заседании диссертационного совета Д 212.105.02 при Юго-западном государственном университете по адресу: 305040, г. Курск, ул. 50 лет Октября, 94 (конференц-зал). С диссертацией можно ознакомиться в библиотеке Юго-западного государственного университета.

Автореферат разослан «24» ноября 2012 г.

Ученый секретарь
диссертационного совета



Зотов Игорь Валерьевич

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. В настоящее время актуальной является параллельная организация вычислительных систем, являющихся основой построения многозадачных систем логического управления (СЛУ), представляющих собой множества многопроцессорных мультиконтроллеров или реконфигурируемых программируемых логических интегральных схем (ПЛИС). Такой подход к организации позволяет повысить производительность СЛУ (мультиконтроллеров), а также достичь отказоустойчивости систем высокой готовности (системы бортовой авиации, слежения, прогнозирования и т.п.).

Теория параллельной организации и отказоустойчивой работы мультиконтроллеров достаточно широко разработана. Большой вклад в эту область внесли работы отечественных ученых: Вл. В. Воеводин, В.В. Воеводин, А.В. Каляев, И.А. Каляев, И.И. Левин, А.П. Типикин, а также зарубежных ученых: М. Флинн, К. Ванг, Д. Скилликорн, Э.А. Трахтенгерц. Однако в данных работах вопросы построения отказоустойчивых реконфигурируемых СЛУ высокой готовности рассматривались частично. В то время как при использовании устройств на ПЛИС в таких системах при возникновении функционального отказа, необходима оперативная ее реконфигурация.

Наиболее эффективным решением этой задачи является изменение топологической организации внутренних модулей ПЛИС. Однако при этом существенно возрастает время коммуникационной задержки. Снижение этого времени можно достичь путем оперативного перераспределения параллельных процедур, это позволяет достичь максимально возможного быстродействия многозадачных отказоустойчивых систем в основном режиме их функционирования. При этом возникает необходимость планирования перераспределения параллельных процедур, что приводит к снижению коэффициента готовности СЛУ. Последнее обстоятельство усугубляется тем, что известные методы и алгоритмы решения задачи размещения имеют большую вычислительную сложность и решаются в основном программно.

Централизованное решение в хост-ЭВМ задач планирования размещения и многократного перераспределения параллельных процедур сложно осуществить так как программная реализация их многократного решения потребует больших временных затрат машинного времени. Предварительное формирование множества возможных вариантов размещения на стадии проектирования специализированной ПЛИС и организация их хранения во внешней памяти хост-ЭВМ ведет к увеличению временных затрат. Кроме затрат машинного времени на получение множества вариантов размещения и ресурсов внешней памяти на их долговременное хранение, ее использование неэффективно из-за сравнительно большого времени обращения к внешней памяти ЭВМ, увеличения времени восстановления и перезагрузки задач управления. Это приводит к существенному уменьшению величины коэффициента готовности и поэтому сдерживает реализацию планирования размещения и перераспределения параллельных процедур как средства повышения быстродействия многозадачных СЛУ.

В связи с этим в настоящее время существует противоречие между объективной необходимостью повышения производительности СЛУ высокой готовности и недостаточностью средств, обеспечивающих оперативную реакцию на отказ и пере-

конфигурирование внутренних связей в случае выхода из строя одного из внутренних модулей СЛУ.

В соответствии с вышеизложенным актуальной является **научная задача** разработки метода, алгоритмов и аппаратных средств планирования и реконфигурирования многозадачных СЛУ в динамическом режиме, обеспечивающего повышение надежности систем высокой готовности.

Цель диссертации: разработка средств планирования топологии ПЛИС в многозадачных системах высокой готовности, обеспечивающих сокращение времени реконфигурации.

Объект исследования: системы логического управления высокой готовности.

Предмет исследования: Метод, алгоритмы и аппаратные средства планирования топологии программируемых логических интегральных схем.

Работа выполнена по плану инициативных НИР 2009–2013 г.г. кафедры вычислительной техники Юго-западного государственного университета.

Задачи исследований:

1. Анализ состояния вопроса и обоснование необходимости создания устройств планирования топологии ПЛИС в реконфигурируемых многозадачных СЛУ высокой готовности в динамическом режиме.

2. Создание метода планирования топологии ПЛИС в многозадачных СЛУ, обеспечивающего сокращение времени реконфигурации.

3. Разработка методики и алгоритма планирования размещения подпрограмм в ПЛИС, позволяющих сократить время поиска варианта размещения.

4. Синтез структурно–функциональных схем специализированного аппаратного устройства планирования размещения подпрограмм в модулях ПЛИС и экспериментальная оценка их временной и аппаратной сложности.

Научна новизна и положения выносимые на защиту:

1. Метод ускорения поиска планирования топологии ПЛИС, основанный на мини–максном критерии оптимизации, отличающийся применением контроля степени уменьшения величин коммуникационных задержек в ходе направленных поисковых перестановок строк МЦ, позволяющий снизить общее число требуемых перестановок.

2. Методика ускорения выполнения процедур аппаратного планирования размещения подпрограмм модулей ПЛИС, отличающаяся вынесением на аппаратный уровень этапа нахождения максимума задержек, образующихся в результате поисковой перестановки, выполнения очередной перестановки, выделения минимума из последовательности названных максимумов по результатам ряда перестановок, принятия решений о целесообразности инициализации поиска или о прекращении поиска и отбрасывании заключительных неэффективных перестановок, позволившая повысить скорость поиска варианта размещения.

3. Аппаратно-ориентированные алгоритмы и структурно–функциональные схемы организации акселератора планирования топологии ПЛИС, отличающиеся аппаратной реализацией нахождения максимума коммуникационных задержек и применением блока нахождения минимальной нижней оценки, основанного на допущении тождественности топологий связей между размещаемыми подпрограммами и связей между модулями ПЛИС, позволившие определить требуемую для при-

нятия решения величину кратности превышения достигаемого в процессе поиска мини–максного значения задержки над названной минимально возможной ее величиной, блока поисковых перестановок и блока анализа эффективности, обеспечивающие повышение производительности СЛУ по сравнению с программной реализацией на современных процессорах.

Достоверность результатов диссертационной работы обеспечивается корректным и обоснованным применением аппарата математической логики, положений и методов теории множеств, графов, теории вероятностей и математической статистики, теории проектирования ЭВМ, а также подтверждается имитационным моделированием с использованием зарегистрированных программных средств.

Практическая ценность результатов исследований:

1. В результате программного моделирования и статистических исследований алгоритма функционирования разработанного акселератора показано, что скорость составления плана топологии ПЛИС может быть повышена в 5 раз по сравнению с программной реализацией разработанного алгоритма, тем самым уменьшая время поиска и повышая коэффициент готовности СЛУ.

2. Для поддержки процедур принятия решений разработан алгоритм вычисления максимально возможной пороговой величины коммуникационной задержки, позволяющий уменьшить потерю степени снижения коммуникационных задержек при составлении или переконфигурировании внутренних связей модулей ПЛИС.

3. Разработанная методика ускоренного планирования топологии ПЛИС позволяет уменьшить коммуникационные задержки в 1.4-2.95 раза.

Результаты диссертационной работы будут в дальнейшем использованы в системах высокой готовности, таких как бортовая авиация, системы слежения, наблюдения и т.д., например, в случае отказа одного из модулей ПЛИС и/или необходимости оперативной реакции СЛУ. Применение разработанного акселератора позволит дополнительно снизить затраты времени на планирование или проектирования (составления) нового плана топологии ПЛИС.

Практическое использование результатов работы. Результаты, полученные в диссертационной работе, внедрены в филиале ОАО «РЖД, Курская дистанция энергоснабжения», ООО ПП «Микрокод», ООО «Совтест-АТЕ», ОАО «Союз Телефонстрой» СМУ в г. Курске, а также используются в учебном процессе на кафедре вычислительной техники ЮЗГУ при проведении занятий по дисциплинам «Организация ЭВМ и систем», «Теоретические основы организации многопроцессорных комплексов и систем».

Соответствие паспорту специальности. Согласно паспорту специальности 05.13.05 – Элементы и устройства вычислительной техники и систем управления, проблематика, рассмотренная в диссертации, соответствует пунктам 1 и 2 паспорта специальности (1. Разработка научных основ создания и исследования общих свойств и принципов функционирования элементов, схем и устройств вычислительной техники и систем управления. 2. Теоретический анализ и экспериментальное исследование функционирования элементов и устройств вычислительной техники и систем управления в нормальных и специальных условиях с целью улучшения технико-экономических и эксплуатационных характеристик).

Апробация работы. Основные положения и результаты диссертации обсужда-

лись и получили положительную оценку на следующих конференциях и семинарах: XIII Международной научно-технической конференции «Машиностроение и техносфера XXI века» (Донецк-Севастополь, 2011), всероссийской научно-технической конференции «Интеллектуальные и информационные системы» (Тула, 2011) и X Международной конференции «Опτικο-электронные приборы и устройства в системах распознавания образов, обработки изображений и символьной информации» (Курск, 2010).

Публикации. Содержание диссертации опубликовано в 12 научных работах, среди которых имеются 3 статьи в рецензируемых научных журналах и изданиях, два патента РФ на изобретение и два свидетельства о регистрации программы ЭВМ.

Личный вклад соискателя. Все выносимые на защиту научные результаты получены соискателем лично. В работах по теме диссертации, опубликованных в соавторстве, лично соискателем предложено: в [1,9,11] алгоритм и методика поиска размещения, в [4,5,6,8] принцип построения аппаратной части акселератора, в [2,3] критерий оценки качества размещения, в [12] методика тестирования программы.

Структура и объем работы. Диссертация включает введение, четыре главы, заключение, список литературы из 85 наименований, приложения. Основная часть диссертации изложена на 114 страницах машинописного текста, содержит 35 рисунков и 10 таблиц.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность, сформулированы цель и задачи исследования, приведены положения, выносимые на защиту, показана их научная новизна и практическая ценность.

В первой главе выполнен анализ известных методов и алгоритмов планирования топологии ПЛИС, а также обзор современных систем реализуемых на ПЛИС, БИС и СБИС, рассмотрены также методы определения коммуникационной задержки, показано, что при большой степени загрузки и связности внутренних модулей ПЛИС уменьшается суммарная производительность микросхем ПЛИС. В результате сделан вывод, что наиболее протяженные связи между модулями ПЛИС, БИС и СБИС необходимо минимизировать, чем сократить общую коммуникационную задержку. Одним из факторов, сдерживающим рост производительности современных микросхем ПЛИС, БИС и СБИС, является большая коммуникационная задержка. Одним из методов ее снижения является предварительное или в случае внутреннего отказа оперативное планирование или перепланирование топологии. На содержательном уровне задача размещения может быть представлена как выбор такого варианта распределения подпрограмм в модулях ПЛИС, БИС и СБИС, которому соответствует минимальное время выполнения комплекса взаимодействующих подпрограмм в целом.

Известные методы планирования топологий обладают большим временем поиска варианта размещения из-за большого числа вариантов перебора и решают эту задачу в основном программным путем. Для систем высокой готовности это является неприемлемым, что объективно обуславливает необходимость применения аппаратных средств. В тоже время существующие аппаратные средства поиска близкого к оптимальному варианта размещения имеют узкую специализацию и обладают большой прогнозируемой аппаратной сложностью. В связи с этим возникает необ-

ходимость разработки такой структурно-функциональной организации специализированного ускоряющего вычислительного устройства (акселератора), которая предусматривала применение типовых БИС микропроцессорных систем и в которой увеличение площади занимаемыми микросхемами приводило бы только к увеличению требуемой емкости модулей оперативной памяти. Так как алгоритм функционирования данного узко специализированного акселератора составляется в строгом соответствии с процедурой планирования топологии, то многократное ускорение ее выполнения аппаратными средствами должны быть достигнуты прежде всего за счет снижения вычислительной сложности самой реализуемой процедуры, что является одной из задач данной работы.

Во второй главе решается задача уменьшения коммуникационной задержки в модулях ПЛИС путем соответствующего размещения комплекса взаимодействующих параллельно обрабатываемых подпрограмм в модулях ПЛИС, при этом формализована задача размещения и разработан метод ускорения поиска варианта размещения модулей.

Составление плана топологии ПЛИС реализуется путем близкого к оптимальному размещения подпрограмм, уменьшающих суммарную коммуникационную задержку. Размещение реализуется в два этапа: первоначально выполняется поиск порогового значения межмодульных связей без учета реальных связей между подпрограммами. Далее выполняются предварительные поисковые перестановки, после чего проводится анализ достигнутого улучшения и делается вывод о необходимости дальнейших перестановок. Для этого необходимо найти такой способ распределения подпрограмм в модулях ПЛИС, который минимизирует общее количество внутренних связей между подпрограммами.

Разработанный метод ускорения составления плана топологии ПЛИС формализован следующим образом.

Программа (подпрограмма) представлена графом взаимодействия задач:

$$G = \langle X, E \rangle,$$

(1)

$$\text{где } X = \left\{ \begin{array}{cccccc} x_{1,1} & x_{1,2} & \dots & x_{1,k} & \dots & x_{1,n} \\ x_{2,1} & x_{2,2} & \dots & x_{2,k} & \dots & x_{2,n} \\ \dots & & & & & \\ x_{q,1} & x_{q,2} & \dots & x_{q,k} & \dots & x_{q,n} \\ \dots & & & & & \\ x_{n,1} & x_{n,2} & \dots & x_{n,k} & \dots & x_{n,n} \end{array} \right\} -$$

множество вершин графа G , вершины $x_{qk} \in X$ которого соответствуют задачам (подпрограммам), а дуги $e_{ij} \in E$ связям между ними, которые передаются между подзадачами и сведены в матрицу смежности (МС) $M = \|m_{ij}\|_{N \times |E|}$, где $N = |X|$.

Топология ПЛИС задана графом H , который представлен как:

$$H = \left\{ \begin{array}{cccccc} p_{1,1} & p_{1,2} & \dots & p_{\varpi,\theta} & \dots & p_{1,n} \\ p_{2,1} & p_{2,2} & \dots & p_{\varpi,\theta} & & p_{2,n} \\ \dots & & & & & \\ p_{m,1} & p_{m,2} & \dots & p_{\varpi,\theta} & \dots & p_{m,n} \end{array} \right\},$$

где $P_{\varpi, \theta}$ – отдельные модули ПЛИС, причем $(\varpi = \overline{1, m}, \theta = \overline{1, n})$.

Модуль $P_{\varpi, \theta}$ представляется в виде функции $F(O, X)$, т.е.

$$P_{\varpi, \theta} = F(O, X), \quad (2)$$

где $O = o_1, o_2, \dots, o_\xi$ – множество входов модуля, а $X = x_1, x_2, \dots, x_\xi$ – множество выходов.

Выводы модулей ПЛИС соединяются с выводами других модулей. При этом общее количество сигналов, которые передаются в ПЛИС от одного модуля к другому определяют итоговую коммуникационную задержку, которую необходимо минимизировать для увеличения производительности ПЛИС. Схематично модуль ПЛИС может быть представлено так, как показано на рис. 1.

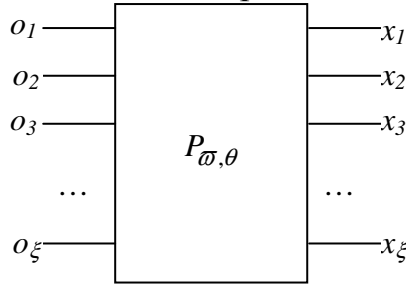


Рис. 1. Схема модуля ПЛИС

Как видно из рисунка 1, величина ξ (количество входов и/или выходов), представленная в (2) зависит от конкретной схемной реализации модуля ПЛИС и не известна заранее. Под межсоединением в модуле ПЛИС будем понимать трассу от одного вывода o_i или x_j ($i = (1, \xi), j = (1, \xi)$) модуля к другому. На рис. 2 приведен пример межсоединения.

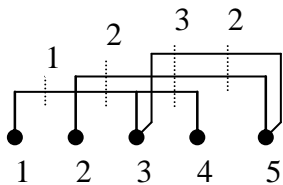


Рис. 2. Межсоединения в модуле ПЛИС

	1	2	3
1	1	0	0
2	0	1	0
3	1	0	1
4	1	0	0
5	0	1	1

Рис. 3. Матрица цепей по рис. 2.

На рис. 2 черными точками обозначены выводы фиктивных модулей ПЛИС. Числа над пунктирными линиями обозначают степени загрузки межсоединений между парами смежных контактов.

Матрицей цепей (МЦ), описывающая вариант размещения модулей ПЛИС, называется прямоугольная матрица $V = |v_{i,j}|_{n, \alpha}$, где $i = \overline{1, N}$, $j = \overline{1, \alpha}$, $n = |X|$, α представляет собой суммарное количество межсоединений, полученных в результате размещения подпрограмм в модулях ПЛИС. Вариант МЦ приведен на рис. 3.

На рис. 3 приведена матрица цепей, соответствующая варианту размещения, представленному на рис. 2. В данном случае в строках представлены выводы модуля(ей) ПЛИС, а в столбцах – межсоединения, соответствующие данному варианту размещения.

Мощность множества $|P|$ зависит от числа межсоединений, полученных в результате размещения модулей в ПЛИС. Параметр α соответствует количеству меж-

соединений и заранее неизвестен. В работе показано, что должно выполняться соотношение:

$$\alpha \rightarrow \min, \quad (3)$$

Тогда размещение модулей в ПЛИС может быть описано отображением:

$$\beta_s = \left\{ \begin{matrix} x_{S_{1,1}} & x_{S_{1,2}} & \dots & x_{S_{1,k}} & \dots & x_{S_{1,n}} \\ x_{S_{2,1}} & x_{S_{2,2}} & \dots & x_{S_{2,k}} & \dots & x_{S_{2,n}} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ x_{S_{q,1}} & x_{S_{q,1}} & \dots & x_{S_{q,k}} & \dots & x_{S_{q,n}} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ x_{S_{n,1}} & x_{S_{n,2}} & \dots & x_{S_{n,k}} & \dots & x_{S_{n,n}} \end{matrix} \right\} \rightarrow \left\{ \begin{matrix} p_{1,1} & p_{1,2} & \dots & p_{1,k} & \dots & p_{1,n} \\ p_{2,1} & p_{2,2} & \dots & p_{2,k} & \dots & p_{2,n} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ p_{q,1} & p_{q,2} & \dots & p_{q,k} & \dots & p_{q,n} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ p_{m,1} & p_{m,2} & \dots & p_{m,k} & \dots & p_{m,n} \end{matrix} \right\}, \quad (4)$$

где $S = \overline{1, N}!$. В (4) символ \rightarrow означает отображение одной из вершин $x_{S_{q,k}} \in X$ на один из модулей $p_{q,k} \in H$. Здесь s – номер очередной перестановки, соответствующий s -му варианту размещения. Мощность множества $\psi = \{\beta_s\}$ всевозможных отображений (4) равна числу всевозможных перестановок задач $x_{qk} \in X$ в матрице M : $|\psi| = N!$.

Пусть Ψ – множество всевозможных отображений вида (4). Тогда задачу размещения, можно сформулировать как поиск отображения $\beta^* \in \Psi$, такого, что

$$T_{\beta^*} = \min_{\Psi} \{ \max_{\beta_s \in \Psi} \{ T_{\beta_s} (|V|_{p_{q,k}}) \} \}, \quad (5)$$

где $T_{\beta_s} (|V|_{p_{q,k}})$ – задержка при передаче данных в модуле $p_{q,k}$, соответствующая отображению β_s . В выражении (5) $\max_{\beta_s \in \Psi}$ означает поиск максимальной задержки в процессоре $p_{q,k}$, где $q = \overline{1, n}$, $k = \overline{1, \alpha}$; выражение \min_{Ψ} соответствует поиску минимально возможного значения задержки для максимального $\max_{\beta_s \in \Psi} \left\{ T_{\beta_s} (|V|_{p_{q,k}}) \right\}$.

Под смежным контактом (СК) будем понимать такое расположение выводов модулей ПЛИС при котором выполняется условие:

$$\theta = |v_{i,j} - v_{i,j-1}| = 1 \quad (6)$$

При поиске варианта размещения модулей ПЛИС должно выполнялись соотношение:

$$\sum \theta_{\Delta} \rightarrow \max, \quad (7)$$

где $\Delta = \overline{1, n}$.

Поиск наилучшего варианта размещения β^* по критерию (5) является трудоемкой переборной задачей. Одним из путей решения этой задачи может быть применение целенаправленных перестановок строк и столбцов МЦ так, чтобы выполнялись соотношения (3) и (7).

В работе показано, что ускорение поиска возможно за счет допустимого сниже-

ния выигрыша величины коммуникационной задержки по сравнению с лучшими результатами, достигаемыми при больших затратах времени на поиск. Для этого необходимо в ходе поиска контролировать степень уменьшения величины образующейся коммуникационной задержки (5) и принимать решение о целесообразности продолжения поисковых перестановок строк и столбцов матрицы МЦ. Предложенная процедура основана на вычислении недостижимого минимального значения размещения T_{\inf} , как минимума коммуникационной задержки, который может быть достигнут при допущении, что топологии графов G и H тождественны. При вычислении нижней оценки будем назначать дуги графа G на самые короткие маршруты в графе H , пренебрегая ограничениями, накладываемыми на фактические связи между подпрограммами в графе G . Ниже приведен соответствующий алгоритм:

1. Переписать элементы $m_{kl} \neq 0$ ($k = \overline{1, N}$, $l = \overline{1, N}$) матрицы $M = \|m_{ij}\|_{N \times |E|}$ в вектор-строку $M' = \|m_{kl}^z\|$, где z – порядковый номер элемента в M' , причем $k = \overline{1, N}$, $l = \overline{1, N}$. При этом $z_1 > z_2$ и z_1, z_2 – порядковые номера элементов в M' .

2. Вычислить

$$T_{\inf} = \sum_{i=1}^{j=|E|} m_i^z, \quad (8)$$

где $i = \overline{1, |E|}$, $z = \overline{1, |E|}$, $|E|$ – мощность множества E в графе G ; m^z – одноименные элементы вектора M' .

Для ускорения поиска разработана методика ускоренного выполнения процедур планирования размещения подпрограмм. Этапы методики:

1. Производится первичное размещение вершин графа G . Размещение реализуется путем наложения матрицы МС на матрицу МЦ, находится задержка T_H , соответствующую данному варианту размещения.

2. Для сопоставления вариантов размещения по критерию (5) вначале осуществляется поиск нижней оценки T_H для графа G по алгоритму поиска порогового значения. Затем вычисляется степень близости максимальной задержки T_H , соответствующей первичному варианту размещения, к нижней оценке T_{\inf} в виде:

$$\eta_H = \frac{T_H}{T_{\inf}}. \quad (9)$$

3. Осуществляется перемещение строки так, чтобы после перестановки и расчета T по (8) оценка:

$$\eta = \frac{T}{T_{\inf}}, \quad (10)$$

снижалась по сравнению с η_H (9) и оценками η по предыдущим вариантам размещения.

4. Анализ достигнутой величины η (10) и оценка степени улучшения размещения выполняется по следующей формуле выигрыша в снижении коммуникационной задержки.

$$\sigma = \frac{\eta_H}{\eta} = \frac{T_H}{T}. \quad (11)$$

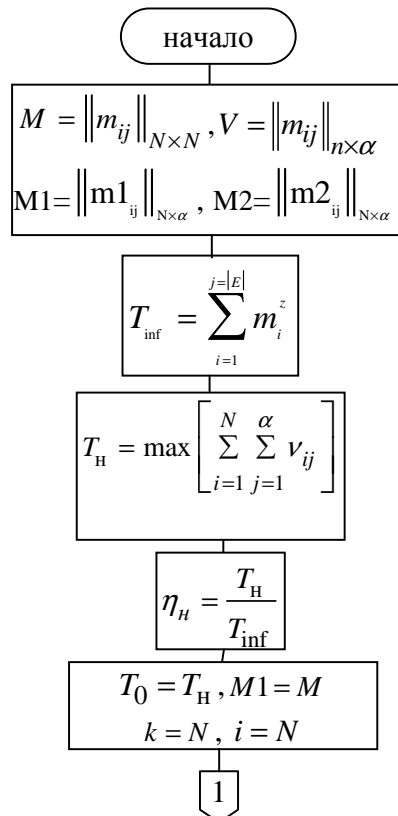
На основании описанного выше метода и методики ускорения поиска выполнения процедур планирования топологии ПЛИС создан аппаратно-ориентированный алгоритм, реализованный в микропроцессорном акселераторе.

В третьей главе приведена программная модель разработанного алгоритма планирования топологии ПЛИС и результаты статистических исследований его эффективности. В качестве основного показателя эффективности принято время поиска варианта размещения и как следствие уменьшение габаритных размеров модуля ПЛИС.

Для моделирования и тестирования разработанного метода планирования топологии ПЛИС был разработан пакет программ, который позволяет программно реализовать алгоритм размещения подпрограмм, строить графики изменения показателей эффективности при каждой пробной перестановке и с заданной точностью фиксировать время расчета.

Целью исследования было определение величины σ снижения задержки в результате применения разработанного метода при разных размерах МЦ, соответствующих различным степеням связности между подпрограммами. Результаты моделирования, а именно начальное и достигнутое отклонение задержки T от T_{inf} , разность необходимых при этом количества перестановок Q , а так же время, затраченная на поиск, выводятся на экран.

На рис. 4. Приведены результаты вычислительного эксперимента на ЭВМ, представленные в виде зависимости показателей σ от η_n и η от Q (рис. 4).



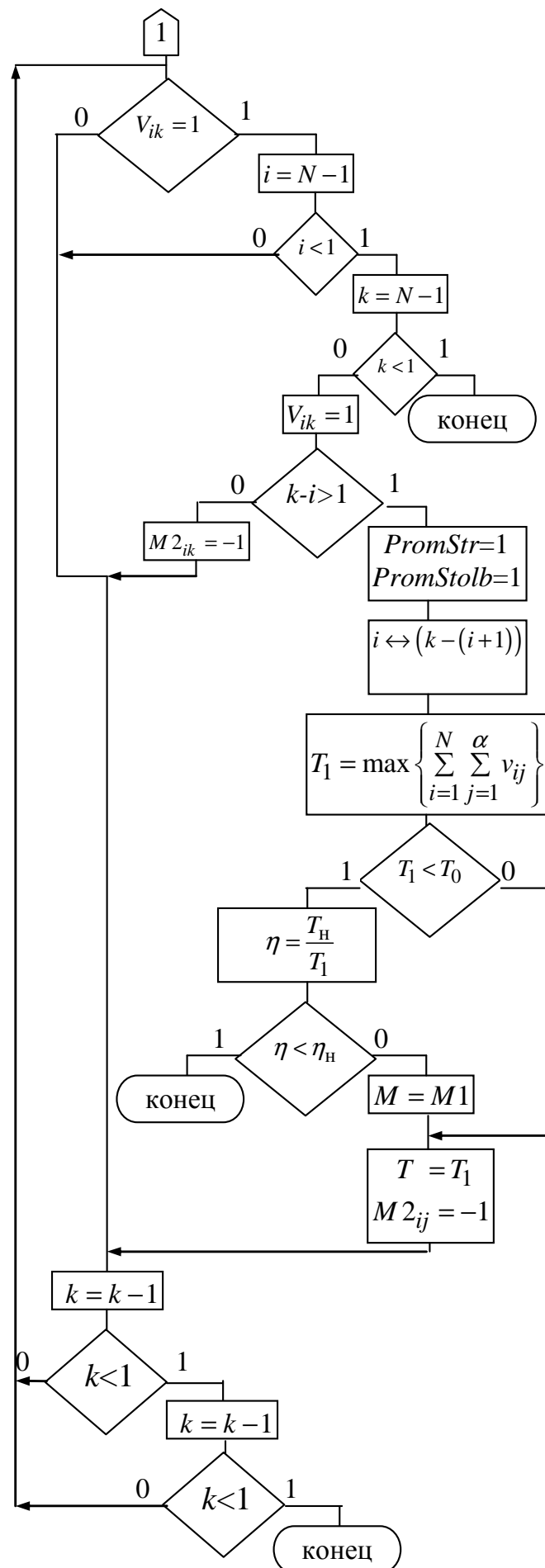
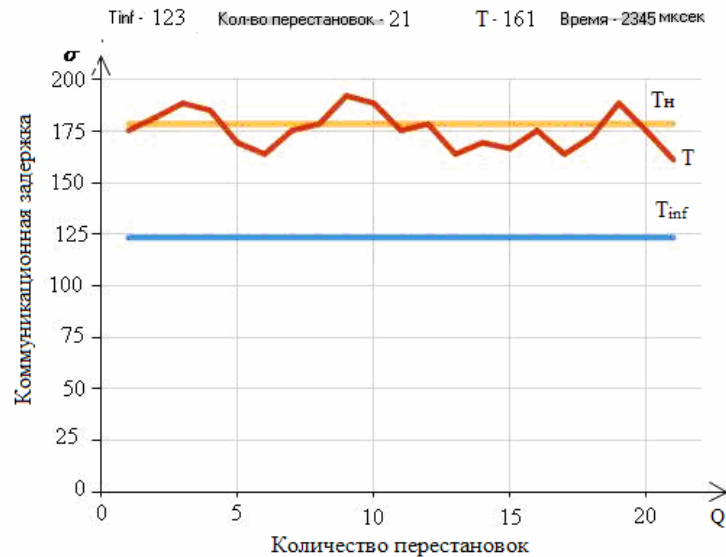


Рис. 4. Алгоритм планирования топологии ПЛИС

Рис. 5. Зависимость показателя σ от η_n и η от Q

На рис. 5 представлена величина коммуникационной задержки σ при первоначальном размещении T_n , и изменение величины коммуникационной задержки T в ходе поисковых перестановок Q . На графике видно, что в результате величину коммуникационной задержки удалось улучшить со значения 175 до 161, приблизив его к минимальной нижней оценке T_{inf} , которая равна 123.

Таблица 1.

Требуемое количество перестановок Q при разных размерах матрицы цепей

V	5	9	10	20	25	50	60
ψ	5!	9!	10!	20!	25!	50!	60!
Q	5	16	21	51	66	141	171

В строках таблицы приведены данные для вариантов полного перебора всех возможных перестановок ψ и их количества Q при применении разработанного метода. Из анализа данных таблицы 1 можно сделать вывод, что при малом количестве внутренних модулей ПЛИС и малом количестве контактов (5-10), количество перестановок для поиска варианта размещения относительно небольшое, а с их увеличением разница между Q и ψ возрастает в геометрической прогрессии. В таблице 2 приведены результаты моделирования методики и алгоритма планирования размещения подпрограмм в ПЛИС.

Таблица 2

Результаты моделирования методики и алгоритма размещения

V	9×9	10×10	10×15	15×15	20×20	20×25	25×25	50×50	60×60
T_{inf}	33	53	67	73	204	243	317	1239	1832
T_n	18	35	36	45	109	127	163	450	585
T	23	40	49	54	125	142	179	461	620
t , мкс	73	110	155	635	754	828	839	13323	16677
Q	16	20	21	19	51	51	66	141	171

ψ	9!	10!	10!	15!	20!	25!	25!	50!	60!
$\sigma = \frac{T_n}{T}$	1.2	1.14	1.3	1.2	1.14	1.11	1.09	1.0	1.0
$\eta = \frac{T}{T_{inf}}$	1.43	1.3	1.36	1.35	1.63	1.71	1.77	2.68	2.95
$\eta_n = \frac{T_n}{T_{inf}}$	1.8	1.5	1.0	1.6	1.8	1.9	1.9	2.75	3.8

Из таблиц 1 и 2 и рисунка 4 можно заключить следующее. Использование предложенного критерия поиска позволяет приближаться к T_{inf} . Приведенные расчетные данные свидетельствуют о целесообразности применения предложенного метода при выполнении «больших» вычислительных задач. Из таблицы 2 следует, что временные затраты при выполнении поисковых перестановок существенно увеличиваются с ростом размерности задачи.

В четвертой главе приведено описание структурных и функциональных схем акселератора планирования размещения (рис. 6) и соответствующих алгоритмов, реализующих разработанный метод планирования топологии ПЛИС.

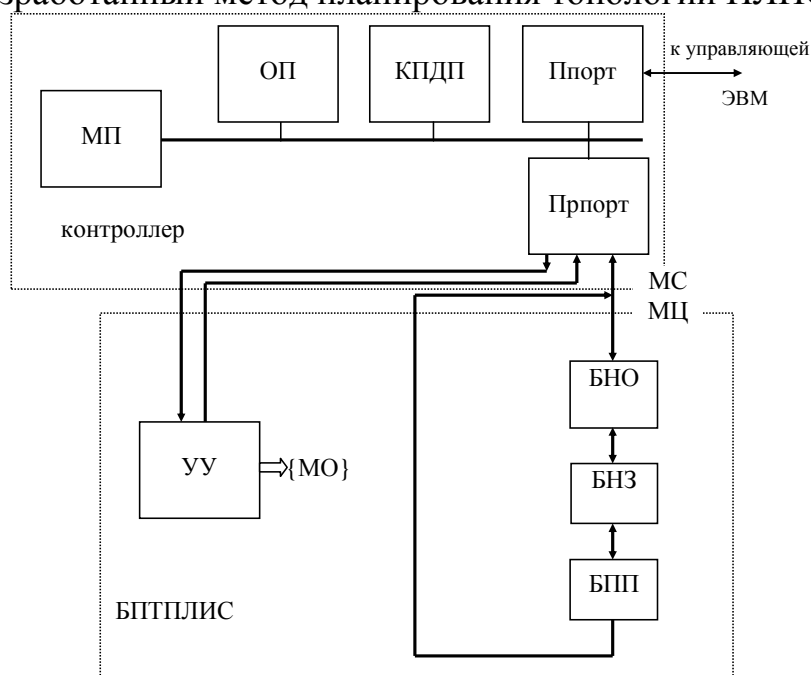


Рис. 6. Структурная схема акселератора планирования топологии ПЛИС

На рисунке 6 обозначены: БПТПЛИС – блок планирования топологии ПЛИС, МП – микропроцессор, ОП – оперативная память, КПДП – контроллер прямого доступа в память, Ппорт – параллельный порт, Мс – матрица смежности, МЦ – матрица цепей, БПП – блок поисковых перестановок, БНО – блок нахождения минимальной нижней оценки, БНЗ – блок поиска начального значения коммуникационной задержки, БПП – блок поисковых перестановок.

МП контроллера работает в соответствии с программой, записанной в ОП, передает исходные варианты матрицы смежности МС и матрицы цепей МЦ в блок БПТПЛИС, соответствующих топологии ПЛИС на данный момент. В этом случае

необходим оперативный поиск нового варианта топологии, т.е. перерасположение подпрограмм, соответствующих решаемой в ПЛИС программе. Если необходимо составление нового варианта топологии, то в блок БПТЛИС передаются нулевые матрицы МС и МЦ.

Блок планирования топологии ПЛИС функционирует следующим образом (рис. 5). В соответствии с алгоритмом составления плана топологии ПЛИС необходимо выполнить следующие шаги: 1) поиск порогового значения коммуникационной задержки, эта задача реализуется в БНО; 2) вычисление показателя коммуникационной задержки и соответствующего значения до начала выполнения поисковых перестановок, которая выполняется в блоке БНЗ; 3) выполнение поисковых перестановок с последующим вычислением достигнутого эффекта и анализ целесообразности дальнейшего продолжения работы алгоритма, что выполняется блоком БПП.

В соответствии с предложенным аппаратно-ориентированным алгоритмом было разработано устройство (рис. 7) планирования топологии ПЛИС. В рамках автореферата приведена функциональная схема блока «Целенаправленная перестановка», реализующая основную вычислительную часть предложенного алгоритма. Схемы других функциональных блоков приведены в диссертационной работе.

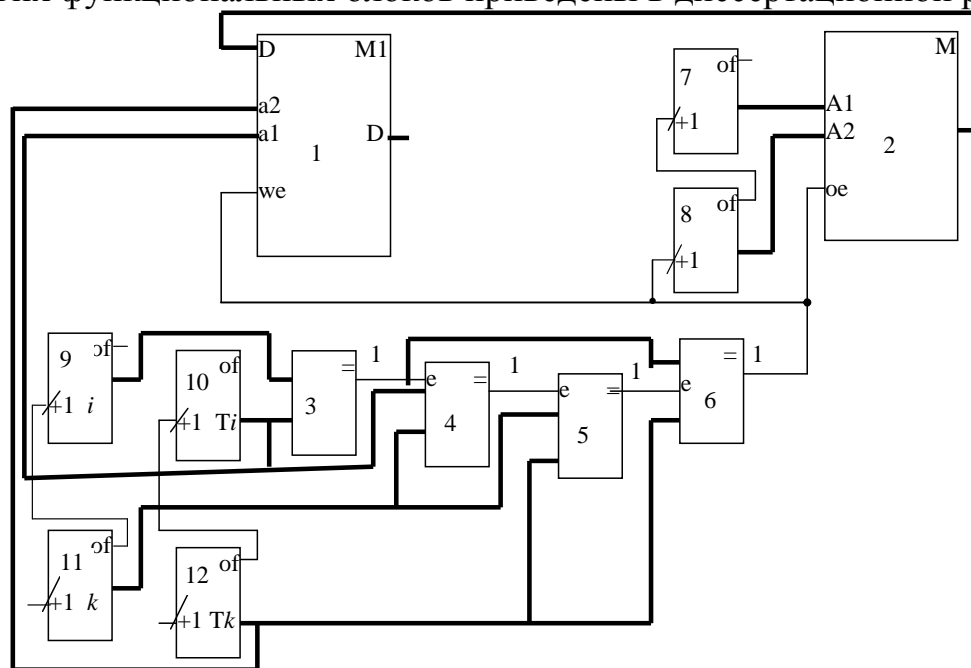


Рис. 7. Функциональная схема блока «Целенаправленная перестановка»

В работе выполнен сравнительный анализ результатов экспериментальных исследований временной и аппаратной сложности, вычисленной в эквивалентных вентилях И, после чего было выполнено сопоставление с аналогичной программной реализацией (табл.3). На рис. 8 приведен результат анализа аппаратной сложности устройства.



Рис. 8. Зависимость аппаратной сложности от размерности матриц цепей

Таблица 3

Временные показатели при программной и аппаратной реализации

Размеры МЦ	$t_{\text{пр}}$, мкс	$t_{\text{ап}}$, мкс
9×9	73	20
15×15	635	180
20×20	754	200
20×25	828	220
25×25	1839	300

В первом столбце приведены размеры МЦ (табл. 3), во втором – время, затраченное программным способом обработки МЦ при составлении плана топологии, в третьем – при соответствующей аппаратной реализации. Оценка аппаратных затрат осуществлялась для условий использования серии микросхем K1533.

Из анализа зависимости, приведенной на рис. 7 следует, что увеличение размерности задачи не влечет за собой непропорциональное усложнение аппаратной реализации, что позволяет использовать предложенное аппаратное средство в системах высокой готовности.

В заключении сформулированы основные результаты диссертационной работы.

В приложениях представлен пакет программ моделирования процедур планирования топологии ПЛИС, описание программной части, реализованной в акселераторе, функциональная схема, а также акты о внедрении результатов исследований.

ОСНОВНЫЕ ВЫВОДЫ И РЕЗУЛЬТАТЫ РАБОТЫ

Диссертационная работа посвящена решению научной задачи разработки метода планирования и реконфигурирования многозадачных СЛУ в динамическом режиме, обеспечивающего повышение надежности систем высокой готовности. В ходе решения этой задачи получены следующие основные результаты.

1. Разработан метод ускорения поиска варианта плана топологии ПЛИС, основанный на целенаправленных перестановках строк матрицы цепей и мини–максном критерии оптимизации, отличающийся применением контроля степени уменьшения величин коммуникационных задержек в ходе направленных перестановок и позволяющий снизить общее число перестановок, требуемых для минимизации коммуникационных задержек.

2. Разработана методика ускорения аппаратного планирования подпрограмм планирования топологии ПЛИС, отличающаяся тем, что в каждом шаге поиска на аппаратном уровне реализуется быстрое вычисление максимального значения полученных величин задержек, анализ отношения достигнутого значения задержек к минимально возможной ее величине, принятие решения о целесообразности продолжения поисковых перестановок, позволившая в результате контроля достижения отношения исключать большое число заключительных неэффективных перестановок и многократно повысить скорость поиска варианта размещения.

3. Разработаны алгоритмы, структурные и функциональные схемы устройства планирования размещения, отличающегося аппаратной реализацией вычисления текущей коммуникационной задержки и соответствующим анализом приближения к ее пороговой величине, позволяющий уменьшить коммуникационную задержку в 5 раз по сравнению с программной реализацией на современных СЛУ.

4. В результате программного моделирования алгоритма функционирования разработанного специализированного вычислительного устройства, показано, что увеличение скорости составления плана топологии ПЛИС уменьшает коммуникационную задержку в 1.4-2.95 раза.

5. Разработан пакет программ моделирования на ЭВМ процедуры планирования топологии ПЛИС, показывающий необходимость применения аппаратных средств планирования и реконфигурирования многозадачных СЛУ в динамическом режиме, обеспечивающих повышение надежности системы высокой готовности в результате уменьшения коммуникационных задержек модулей ПЛИС.

ОСНОВНЫЕ ПУБЛИКАЦИИ ПО ТЕМЕ ДИССЕРТАЦИИ в рецензируемых научных журналах и изданиях

1. Минайлов В.В. Методика планирования топологии программируемых логических интегральных схем в многопроцессорных системах [Текст] / В.В. Минайлов, Д.Б. Борзов, В.В. Руденко, С.П. Гнездилова // Вестник КГСХА. 2012. – №2, С. 126-129.
2. Минайлов В.В. Метод и алгоритм планирования топологии ПЛИС в многопроцессорных системах [Текст] / В.В. Минайлов, Д.Б. Борзов // Известия Юго-западного государственного университета. Серия. Управление, вычислительная техника, информатика. Медицинское приборостроение. 2012. №2. Часть 2. С. 23-27.
3. Минайлов В.В., Акселераторные средства составления плана топологии программируемых логических интегральных схем [Текст] / Д.Б. Борзов, И.В.Зотов, В.В. Минайлов // Известия Юго-западного государственного университета. Серия. Управление, вычислительная техника, информатика. Медицинское приборостроение. 2012. №2. Ч. 2, С. 30-35.

Патенты на изобретение

4. Патент 2379749 Российская Федерация G06F7/00. Устройство для подсчета минимального значения интенсивности размещения в системах с древовидной организацией [Текст] / В.В. Минайлов, Д.В. Борзов, заявл. 06.08.2008, опубл. 20.01.2010, БИ №2, 2010.
5. Патент 2010153834 Российская Федерация МПК G06F7/76, G06F17/10 Устройство поиска нижней оценки размещения в полносвязных матричных системах при однонаправленной передаче информации [Текст] / Минайлов В.В., Борзов Д.Б., Родин А.А., Соколова Ю.В. заявл. 27.12.2010, опубл. 10.07.2012, бюл, №10.

Другие публикации

6. Минайлов, В.В. Устройство выявления параллелизма внутри линейных участков программ со связями по управлению [Текст] / В.В. Минайлов, Д.Б. Борзов, С.А. Дюбрюкс // Компьютерные технологии в науке, производстве, социальных и экономических процессах: материалы VIII МНТК. Новочеркасск, ЮРГТУ (НПИ), 2007.– С.114-117.
7. Минайлов В.В. Организация акселератора вычисления минимального значения коммуникационной задержки в полносвязных матричных мультиконтроллерах [Текст] / В.В. Минайлов, Д.Б. Борзов, А.А. Родин, Ю.В. Соколова // Материалы и упрочняющие технологии-2010: сборник материалов XVII Российской научно-технической конференции с международным участием, Курск: КГТУ, 2010. Часть 2. С.195-199.
8. Минайлов В.В. Методика минимизации длины межмодульных связей в ПЛИС [Текст] / В.В. Минайлов, Д.Б. Борзов, А.А. Родин, // Машиностроение и техносфера XXI века: сборник трудов XVIII МНТК. Курск: ДонНТУ, 2011. Т2 С.86-89.

9. Минайлов В.В. Подход к решению задачи планирования топологии ПЛИС [Текст] / В.В. Минайлов, Д.Б. Борзов // Интеллектуальные и информационные системы: МНТК. Курск: ТГУ, 2011. С. 24-25.
10. Минайлов В.В. Алгоритм планирования топологии ПЛИС [Текст] / В.В. Минайлов, Д.Б. Борзов // Оптико-электронные приборы и устройства в системах распознавания образов, обработки изображений и символьной информации: сборник материалов X МК: Курск: ЮЗГУ, 2010. С. 236-238.
11. Минайлов, В.В. Моделирование перестановок при размещении подпрограмм в ПЛИС [Текст] / В.В. Минайлов, Д.Б. Борзов, А.А. Родин // Свидетельство о регистрации программы для ЭВМ №2012619272. заявл. 10.05.2012, опубл. 15.10.2012.
12. Минайлов, В.В. Моделирование планирования топологии ПЛИС [Текст] / В.В. Минайлов, Д.Б. Борзов, А.А. Родин // Свидетельство о регистрации программы для ЭВМ №2012619271. заявл. 10.05.2012, опубл. 15.10.2012.

Подписано в печать 23.11.2012. Формат 60×84 1/16.

Печ. л. 1.0. Тираж 100 экз. Заказ 78

Юго-западный государственный университет.

Издательско-полиграфический центр

Юго-западный государственный университет

305040, г. Курск, ул. 50 лет Октября, 94